PATENT ABSTRACTS OF JAPAN

(11)Publication number:

11-069803

(43)Date of publication of application: 09.03.1999

(51)Int.CI.

HO2M 3/28 HO2M 7/21

(21)Application number: 09-216095

(71)Applicant: NEC CORP

(22)Date of filing:

11.08.1997

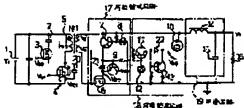
(72)Inventor: NEGOME TAKETO

(54) SWITCHING POWER SUPPLY

(57) Abstract:

PROBLEM TO BE SOLVED: To enable the enhancement of the power conversion efficiency of a switching power supply, by using FET for synchronous rectification and a circuit for making gate drive waveform constant, and further adding a high- speed off-circuit when the gate waveform is off.

SOLUTION: In a low-loss gate drive circuit using a synchronous rectification circuit, FET's 6, 10 are fed with a gate voltage obtained by stabilizing the secondary winding voltage of a transformer 5 through the transistors 7, 10 for clamp and the diodes 8, 12 in a waveform shaping circuit. A diode for circuit interruption is connected with the gate of the FET 10 for reflux in a synchronous rectification circuit 18 between a transistor 11 for clamp and a transistor 13 for discharge in order to discharge the charges in the gate capacitance through the transistor 13 at high speed. As a result, when the gate voltage is off, the voltage is quickly discharged through transistors 9, 13, and the diodes built in the



FET's are turned off before they are turned on. Thereby loss is reduced. As a result, the risk of gate breakdown can be reduced.

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the efficientized switching power supply which used synchronous detection about switching power supply. [0002]

[Description of the Prior Art] Conventionally, this kind of gate drive circuit for synchronous detection of low loss is used in switching power supply for the purpose of reduction of power consumption, or improvement in the reliability of a device.

[0003] For example, to JP,8-336282,A, a synchronous detection gating waveform is operated orthopedically, the danger of gate destruction is abolished to it, and the technology of also reducing loss of a gate drive circuit is indicated.

[0004]

[Problem(s) to be Solved by the invention] However, the conventional example on ** had the **** fault shown below.

[0005] The 1st trouble has the trouble that the time of "off" of a gate drive voltage waveform is lost late, in a Prior art.

[0006] The reason is because the built-in diode of FET for synchronous detection "turns on" on.

[0007] this invention is made in order to cancel the above-mentioned fault which is inherent in a Prior art in view of the conventional above-mentioned actual condition, therefore the purpose of this invention reduces loss of FET for synchronous detection, and the new switching power supply which made it possible to raise the power conversion efficiency of switching power supply is offered — it is in things

[0008] Other purposes of this invention are to abolish the danger of gate destruction of FET for synchronous detection.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, using a circuit where FET for synchronous detection and a gate drive wave become fixed, further, the switching power supply concerning this invention adds the circuit which carries out "" at high speed at the time of gating waveform "off", and is constituted at it.

[0010] In this invention, if the gate drive wave of FET for synchronous detection is fixed and it fixes also in the input minimum voltage – input maximum voltage, loss of FET can be reduced.

[0011] Moreover, the danger of gate destruction also disappears.

[0012] By carrying out "off" [of the synchronous detection FET gate drive wave] at high speed, before diode with built-in FET "turns on" on, "" can be carried out, and it becomes possible to reduce loss.

[0013]

[Embodiments of the Invention] Next, this invention is explained in detail, referring to a drawing about the gestalt of the 1 desirable operation.

[0014] Drawing 1 is the circuitry view showing the gestalt of 1 operation of this invention.

[0015] With reference to <u>drawing 1</u>, the gestalt of the 1 operation by this invention consists of the DC input voltage 1, the main switching elements (MOS FET) 3 and 4, a transformer 5, synchronous detection circuits 17 and 18, a smoothing circuit 19, and load 16 grade.

[0016] Drawing 2 is a timing diagram which shows operation of the gestalt of the 1 operation by this invention shown in drawing 1.

[0017] The main emitching alements (MOS FET) 2 and 4 gives the are his transfer of the 1905

(0018) Period to the the trimary and, main awatering element 4 th 1000 to tage 1000 FET6 "turned on" on, let the smoothing circuit 19 pass by the gate voltage of FET6 for secondary synchronous detection, and was rectified to the load 16 It is impressed.

[0019] Period t2 =t3 Exciting current im to which the main switching elements 3 and 4 are "off".

periods, and are flowing to the transformer 5 in the meantime. The charge and discharge of the parasitic capacitance 20 are carried out by peak value lp+.

[0020] Period t3 -t4 The main switching element 4 is the period when the main switching "element 3 is "turned on" in "OFF", and the ends of secondary **** of a transformer 5 are clamped by the clamping circuit which consists of the main switching element 3 and a capacitor 2 in the meantime.

[0021] By the gate voltage of FET10 for a rotary flow of a secondary, FET10 "turns on" on the load current returns through FET10, and this period is the rectification voltage Vo to a load 16. It is impressed.

[0022] Next, the gate drive circuit of low loss using a synchronous detection circuit is explained with reference to <u>drawing 1</u>.

[0023] Here, the place which should be observed is the point that the stable gate voltage is applied by the waveform shaping circuit secondary **** voltage of a transformer 5 was constituted by the transistor 7 and diode 8 (a transistor 11, diode 12) rather than was impressed to FET6 and FET10 as it was.

[0024] That is, the waveform shaping circuit which changes from the transistor 7 for a clamp which clamps the gate voltage of FET6 to the zener diode 8 which generates a constant voltage, and below the fixed voltage that this zener diode 8 outputs is prepared in the gate circuit of FET6 for synchronous detection of the synchronous detection circuit 17.

[0025] On the other hand, the transistor 11 for a clamp which clamps the gate voltage of FET10 is connected to the zener diode 12 which generates a constant voltage, and below the fixed voltage that this zener diode 12 outputs at the gate circuit of FET10 for a rotary flow of the synchronous detection circuit 18.

[0026] Usually, when it is the conventional example in which a direct gate voltage is immediately applied to FET from the **** voltage of a transformer 5 (drawing 3), it is VDS1 of the primary side main switching element 4 in change of input voltage. Voltage changes. That is, if it is low if input voltage is low, and input voltage is high, high voltage will occur and the **** ratio of a transformer 5 will be impressed by the secondary. If this **** voltage is high, the gate voltage of FET 6 and 10 for synchronous detection will also become high, loss of FET 6 and 10 will increase, and efficiency will fall. Moreover, if a gate voltage becomes high, the problem of the danger of FET6 and gate destruction of ten will also be produced.

[0027] Another feature had the late time of "off" of a gate voltage in the conventional FET gate drive circuit for synchronous detection (technology indicated by JP,8-336282,A), and it was one of the causes of loss (refer to [drawing 4 VG1' and] VG4').

[0028] In order to solve this, this invention is a circuit aiming at drawing out voltage quickly at the time of "off" of a gate voltage, carrying out "" at high speed, before the diode built in FET "turns on" on, and reducing loss with the transistor 9 of <u>drawing 1</u> (13).

[0029] That is, the diode 21 for circuit cutting is connected between the connection of the transistor 9 for electric discharge which draws out the charge charged by the gate capacitance of FET6 at high speed in the gate of FET6 for a synchronization of the synchronous detection circuit 17 (it is made to discharge), and the base of this transistor 9 and the gate of FET6, and the connection of the emitter of the transistor 7 for a clamp of a waveform shaping circuit, and the base of the transistor 9 for electric discharge.

[0030] Similarly, the diode 22 for circuit cutting is connected to the gate of FET10 for a rotary flow of the synchronous detection circuit 18 between the connection of the transistor 13 for electric discharge which draws out the charge charged by the gate capacitance of FET10 at high speed (it is made to discharge), and the base of this transistor 13 for electric discharge and the gate of FET10 and the connection of the emitter of the transistor 11 for a clamp of a waveform.

meet committees

[0032] It is the output voltage Vs of a transformer 5 now for referring to drawing 1 and <u>drawing</u> 2. – Time t1 If set to 0V, the emitter of a transistor 11 will be set to 0V through the collector of the transistor 11 "turned on", and the base of the transistor 13 for electric discharge connected

with this emitter will also be set to 0V. Consequently, a transistor 13 will be in an "ON" state, the gate of FET10 is grounded, and the charge charged by the gate capacitance of FET10 is drawn out at high speed (it discharges). When a transistor 13 "turns on" on, diode 22 works so that the emitter of a transistor 11 and the gate of FET may be cut on a circuit, and promotes "ON" operation of a transistor 13. "ON" operation of the diode built in FET10 is prevented as a result of the above-mentioned operation.

[0033] Since it operates like [the transistor 9 for electric discharge, and the diode 21 for circuit

cutting] the above, the explanation is omitted.

[0034] Moreover, in this invention, the switching circuit by the side of primary may use not only the switching circuit of an active clamp form as shown in <u>drawing 1</u> but half bridge type, and stone forward type or Class E resonance type.
[0035]

[Effect of the Invention] this invention is constituted like the above and acts, and according to this invention, an effect as taken below is acquired.

[0036] The 1st effect can gather efficiency by using a transistor and zener diode for a synchronous detection gate drive circuit. Moreover, the danger of gate destruction can also be abolished

[0037] Since a gate voltage is regularity (pressed down low) even if input voltage is high, the reason is because loss can be reduced and there is also no elevation of a gate voltage.

[0038] The 2nd effect can gather efficiency by using the transistor for electric discharge for a synchronous detection gate drive circuit.

[0039] The reason is because "off" [of the gate voltage] can be carried out at high speed, diode with built-in FET "does not turn [but] on" on and loss can be reduced.

[Brief Description of the Drawings]

[Drawing 1] It is the detailed circuitry view showing the gestalt of 1 operation of this invention.

[Drawing 2] It is the timing chart which shows the wave of each part of composition of having been shown in drawing 1.

[Drawing 3] It is the conventional circuit diagram.

[Drawing 4] It is drawing showing the wave of each part of the circuit shown in drawing 3.

[Description of Notations]

1 -- Input power

2 15 -- Capacitor

3. 4. 6. 10 -- MOS FET

5 - Transformer

7, 9, 11, 13 -- Transistor

8 12 -- Zener diode

14 -- Choke coil

16 -- Load

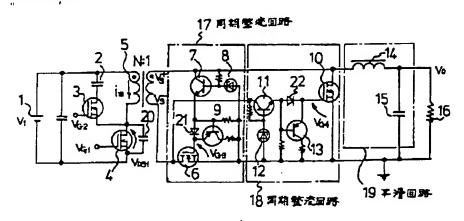
17 18 -- Synchronous detection circuit

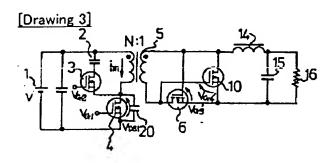
19 -- Smoothing circuit

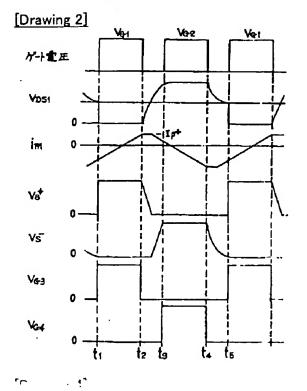
20 -- Parasitic capacitance

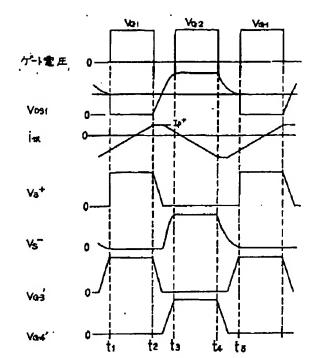
21 22 -- Diode

[Drawing 1]









(19) 日本国特許 (JP) (12) 公開特許公報 (A) (11) 特許出願公開番号

特開平11-69803

(43)公開日 平成11年(1999)3月9日

| (51) Int.Cl.* | | 鐵別記号 | FI | | |
|---------------|------|------|---------|------|---|
| H 0 2 M | 3/28 | | H 0 2 M | 3/28 | F |
| | | | | | Н |
| | | | | | R |
| | 7/21 | | | 7/21 | Α |
| | | | | | |

審査請求 有 請求項の数7 OL (全5 頁)

(21)出願番号

(22)出顧日

特願平9-216095

平成9年(1997)8月11日

(71)出顧人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 根米 健人

東京都港区芝五丁目7番1号日本電気株式

会社内

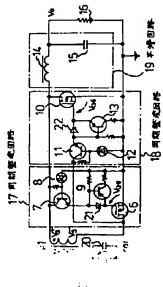
(74)代理人 弁理士 熊谷 雄太郎

(54)【発明の名称】 スイッチング電源

(57)【要約】

【課題】 同期整流用FETの内蔵ダイオードがゲート 電圧のデッドクイム時に"オン"してしまうために、F ETのゲートドライブ電圧波形の"オフ"時間が遅くな り、それが損失になっていた

【解決手段】 同期整流用MCS FETGのゲート (1) FETものゲート容量にチャージされた電荷を高速 に引き抜く放電用トランジスクリと回路切断用ダイオー ドビルを接続する。同様に環流用MOS FET10の ゲートに、同様の機能を有するトランジスタ13とダイ オード22を接続する。





【特許請求の範囲】

【請求項】】 直流人が電圧をトランスの1次券線に供給し、周期的に"オン、オフ"するスイッチング電源において、このスイッチンク手段が"オフ"する間にトランスの上次券線の両端の電圧を制限するクランド手段と、前記とラッスの2次券線出力を整流、平滑する整流・平滑手段とを有し、

前記整流・平滑手段に、同期整流方式の整流 - 平滑回路 を用い、前記同期整流・平滑回路の同期整流用電界効果 トランジスマのゲートと前記トランスの2次棒線の一端 との間に第1の波形整形手段が設けられていることを特 後とするスイッチング電源。

【請求項2】 前記岡期整流 平滑回路の環流用電界効果トランジスクのゲートと前記トランスの2次券線の他端上の間に第2の波形整形手段が設けられていることを更に特徴とする請求項1に記載のスイッチンで監察

【請求項3】 前記第1及び第2の波形整元手段は、た ランプ用トランジスタと、定電圧を発生するフェナダイ オードとを有することを更に特徴とする講丁項目に記載 のスイーモンが電源

【請求項4】 前記同期整流用電界効果トランジスタカゲートに、計同期整流用電界効果トランジスタのゲート 容量にサルージされた電荷を高速に放電させる第1の放電手段を設けたことを更に特徴とする請求項!に記載のスイッチング電源。

【請求項5】 前記環流用電界効果トランジスタのゲートな量にチャージされた電荷を高速に放電させる第2の放電手段を設けたことを更に特徴とする請求項4に記載のスイッチング電源

【請求項6】 前記第1の放電手段は、前記问期整流用電界効果トランジスタのゲートに接続された第1の放電用トランジスタと、第1の回路切断用グイオートとを有することを更に特徴とする請求項4に記載のスイッチング電源

【請求項で】 前記第三の放電手段は、前記環代用電界 効果トランジスタのゲートに接続された第三の放電用トランジスタと、第三の回路切断用タイオートとを有する ことを更に特徴とする請求項率に記載のスイッチング電源

【発明の詳細な説明】

[0001]

【発明の属する技術分野】本発明は、スイッチング電源 に関し、特に、同期整流を用いた高効率化スイッチング サンプリアン 【10003】例えば、特開平8 336282号公報には、同期整流ゲート改形を整形し、ケート破壊の危険性を無くし、ゲートトライプ回路の損失も低減する技術が記載されている。

[0004]

【発明が解析しようとする課題】しかしなから、叙上の 従来例には下記に示す如き欠点があった。

【000日】第1の問題点は、従来の技術においては、 ゲートドライブ電圧波形の"オフ"時が遅く損失になる という問題点がある。

【① 0 0 e 】 その理由は、同期整流用FETの内蔵をイオードが「オン"してしまうためである。

【0007】本発明は従来の上記実情に鑑み、従来の技術に内在する上記欠点を解消する為になされたものであり、従って本発明の目的は、同期整流用FETの損失を低減し、スペーチング電源の電力変換効率を向上させることを可能とした新規なスイッチング電源を提供することにある。

【(1)(1)(5)】 本発明の他の目的は、同期整流用ドミエの ゲート破壊の危険性をなくすことにある。

[0009]

【課題を解決するための手段】上記目的を達成する為に、本発明に係るスイッチング電源は、同期整流用ドド丁、ゲートドライブ波形が一定となるような回路を用い、さらにゲート波形"オフ"時に高速に"オフ"する回路を付加して構成される。

【6010】本発明において、同期整流用FETのデートドライブ波形を一定にも、入力最低電圧一入力最大電圧においても一定にすれば、FETの損失を低減することができる。

【①①11】また、ケート破壊の危険性もなくなる

【 0 0 1 2 】 同期発減 F E T ゲートドライブ波形を高速 に "オフ" することにより、F E T 内蔵ダイオードが "オン" する前に"オフ" することができ、損失を低減 することが可能となる。

(0013)

【発明の実施の研修】次に本発明をその好まし、。実施 で研修について関値を参照しなから評細に説明する

【10014】[7] は土発明ホー実施の平態を示す回路構成図である。

【 O O 1 5 】 [引 1 を を 照 するに、本 年明による 一実施の 形態は、 D C 入力電圧 1 、 メイン スイッチン ク素子 (M O S - F E T : 3 、4 、トランス 5 、同期整流回路 1 フ、1 S ・平滑回路 1 9 、負荷 1 6 等に構成されてい

Section 1

電力の筋減や機器の信頼性の用すを目的として用いてす。 ている。 てトライフされ、" オン、オフ"を繰り返している 【ロロ18】1次側メインスイッチング素子4が"オン"している期間+ トナ」に2次側同期整流用FET ロボケート電圧により、FETらか"オン"し、平滑側 路1日を通して、負荷16小整流された電圧Vのが印加される

【10019】期間 f₂、 f = ほ、マインスイッチング素子 f 、4か"オフ"となっている期間で、この間にトランス f に流れている助磁電流 f 。ごピーク値 f がで寄生容量 20を充放電する

【ロの2)】期間も、トー、はメディスキッチンで素子 4が"オマ"でメインスイッキ。で楽子さが"オン"となっている期間であり、この間のデインスイッチング素 子3とコンデンサ2からならクランプ回路でトランスラ の2次券線の両端がクランプされる

【0021】この期間は、2次側の環流用FET10の デート電圧により、FE : 10が"オン"し、FET1 0を通じて負荷電流が環流し、負荷14小整流電圧Vの が印加される

【10022】次に、同期整流回路を用いる。低損失のゲートトライプ回路について図1を参照して説明する

【ロ023】ここで、注目すべきところは、FET6及びFET10にトランスラの2次券線電圧が行のまま印加されるのではなり、トランシスタア、タイオード8(トランジスタ11、タイオート12)により構成された波形整形回路によって、安定化されたケート電圧が加えられる点である。

【0024】即ち、同期整流回路17の同期整流用FET6のゲート回路には、定電圧を発生するフェナダイオード8と、このフェナダイオードをが出力する一定電圧以下にFET6のゲート電圧をクランプするクランプ用トランジスタフとから成る波形整形回路が設けられている。

【0025】一方、同期整流回路18の環流用FET1 ののゲート回路には、定電圧を発生するコピナダイオー F12と、これマピナダイオート1 上が出力する一定電 FIJFにFFT1にのゲート電圧をデコープするコサン コ用トランシスタ11が接続されている。

【いり」の】通常は、直ちにトランマテの希線電圧より FETに直接ケート電圧が加えられる従来例の場合(図 3・には、入力電圧の変化とともに、1次側メインスイ ッチング素子4のV:...の電圧が変化する。即ち、入力 電圧が低ければ低く、入力電圧が高ければ高い電圧が発 生む、トランスラの券線比により2次側に印加される ・また。

公理 医神节 問題人主 为

【 - - 2 7】: ジャが成は、従来が同期整流用トトートマートにするで回路、特閣デストラットに対し扱い

(に記載された技術) では、ゲート電圧() "すつ" 時か遅く、損失の原因の一つであった((図4V)) 、 V () 参照)

【0008】これを解決するために、木発明は、[3]14、トランジスタ9(13)により、デート電圧2011年71時に電圧を急速に引き抜いて、FETに内蔵されたタイオードが"オン"する前に高速で"オフ"と、損失を低減させることを目的とする回路である。

【6029】即ち 同期終流回路17の同期用FETものケートには、FETものゲート容量にチャーシされた電荷を高速に引き技 (放電させる 放電用トランシスタ9と このトランプスクコのペースと5ETものデートとの接続部と 波形整形回路のクランサ用トランン クアのエミッタと放電用トランシスプリのペースとの接続部との間に 回路切断科のダイオード21が接続されている。

【0030】同様に 同期整流回路 (8の環流用FET 10のケートには FET 10のゲート容量にチャーシされた電荷を高速に引き抜 (放電させら)放電用トランジスタ13のペーとFET 10のゲートとの接続部と、波形整形回路のクランプ用トランジスタ11のエミックと放電用トランシスタ13のペースとの接続部との間に回路切断用のタイオーリ22が接続されている。

【0031】次にドランジスタ13によるFET10を 高速に"オフ"させる動作について説明する

【0032】回1 回2を参照するに、今トランスラの出力電圧Vsが時刻も、でのVになると、"オン"しているトランジスタ11のコレクタを通してトランジスタ11のエミッタがのVになり、このエミッタと接続されている放電用)ラ1 ジスタ15のペースものVになるその結果、トランジスタ17が"オン"状態になって、FET10のゲートが接地されて。FET10のゲートが接地されて。FET10のゲートが接地されて。FET10のゲートが接地されて。FET10のゲートがお地では高速で引き状かれる一次電されるに、ドランシスタ11のエミッタと1mょのゲートとを回路上切断するように動き。トランジスマ13の「オン"動作を助長するものである。正記作用の結果、FF、10に内蔵されたダイオードの「オン"動作が限点される

【0つ33】放電用トランジスタウ及び回路切断用タイオード216上記と同様に動作するので、その説明を省略する。

【1003年】また、本発明にははけばほっちが側とりと

(: :)

【新田に効果】も新明しいとこの、構成では、日田でき

もってあり、本発明によれば以下に示すような効果が得 られる。

【10036】第1の効果は、同期整流デートトライプ回路にトランジスタとツェナダイオードを用いることにより、効率を上げることができる。また、ゲート破壊の危険性もなくすことができる。

【0037】その理由は、入力電圧が高くても、ケート電圧が一定(低 おさえられる)であるために、損失が低減でき、ゲート電圧の上昇もないためである。

【0038】第二の効果は、同期整流ゲートドライブ回路に放電用トラ、ジスタを用いることにより効率を上げることができる。

【±0039】その理由は、ゲート電圧を高速に"オフ" することができ、FET内蔵ダイオードが"オン"せ ず、損失を低減できるためである。

【図面の簡単な説明】

【[3] 】本発明の一実施の形態を示す詳細回路構成[3]である。

【[オピ】[M] に示された構成の各部の皮料を示すタイト シクチャートである。

【[43】従来の回路図である

【図4】図 3 に示した回路の各部の決手を示す国できる。

【符号の説明】

1・入力電源

2 15... コンデンサ

3, 4, 6, 10 MOS FET

ラートランス

T. 9. 11. 13…トランシスタ

8、12…ツェナダイオード

14…チョークコイル

16…負荷

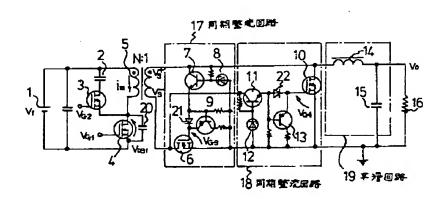
17、18…同期整流回路

19…平滑回路

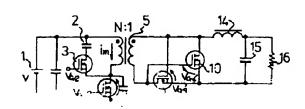
20…寄生容量

21. 22…ダイオード

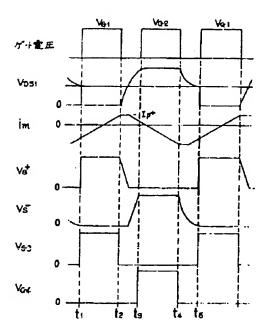
[[3]1]



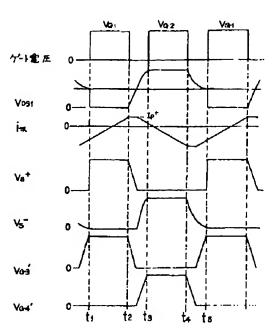
[F43]







[[48]]



This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

| Defects in the images include but are not limited to the items checked: |
|---|
| ☑ BLACK BORDERS |
| ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES |
| FADED TEXT OR DRAWING |
| ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING |
| ☐ SKEWED/SLANTED IMAGES |
| COLOR OR BLACK AND WHITE PHOTOGRAPHS |
| ☐ GRAY SCALE DOCUMENTS |
| ☐ LINES OR MARKS ON ORIGINAL DOCUMENT |
| ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY |
| П отнер. |

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.